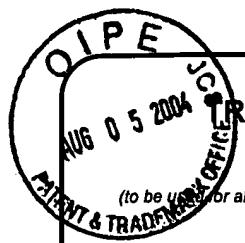


IFW

PTO/SB/21 (04-04)



TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/773,961	
	Filing Date	February 6, 2004	
	First Named Inventor	Wu, Chia Te	
	Art Unit	2818	
	Examiner Name	Not Yet Assigned	
Total Number of Pages in This Submission	13	Attorney Docket Number	021653-003500US

ENCLOSURES (Check all that apply)

<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) 11 pages <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): Return Postcard
Remarks The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Townsend and Townsend and Crew LLP	Reg. No. 37,692
Signature		
Date	8/2/04	

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	TIFFANY WU		
Signature		Date	8.2.04

CERTIFIED COPY OF
PRIORITY DOCUMENT

证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日 期: 2003. 12. 30

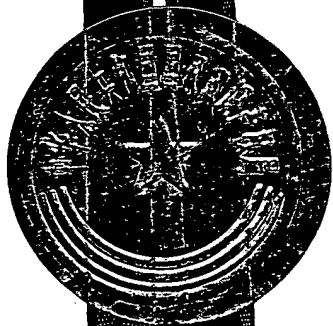
申 请 号 码: 2003101229715

申 请 类 别: 发明

发 明 名 称: 半导体集成电路隧道氧化窗口区域设计的结构及方法

申 请 单 位: 中芯国际集成电路制造(上海)有限公司

发 明 人: 吴佳特、蔡建祥



中华人民共和国
国家知识产权局局长

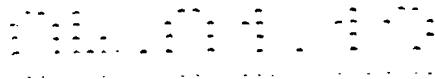
王 景 川

2004 年 6 月 25 日

- 1、 一种 EEPROM 集成电路结构，包括：
 - 一个包括有表面区域的衬底，该表面区域位于一个第一个单元区域
 - 5 内；
 - 一个具有第一厚度的栅极介电层，覆盖在该衬底表面；
 - 一个选择栅极，覆盖在该栅极介电层的第一区域上；
 - 一个悬浮栅极，覆盖在该栅极介电层的第二区域上，并与该选择栅极
 - 相耦合；
 - 10 一个绝缘层，覆盖在悬浮栅极上；
 - 一个控制栅极，覆盖在位于该悬浮栅极之上的绝缘层上，并与该悬浮
 - 栅极耦合；
 - 一个通道窗口，位于该栅极介电层的区域内的带状结构中，该栅极介
 - 电层的该区域具有小于所述第一厚度的第二厚度。
- 15 2、 如权利要求 1 所述的结构，其特征是：该栅极介电层包括二氧化硅。
- 3、 如权利要求 1 所述的结构，其特征是：该通道窗口的宽度小于 0.25 微米。
- 4、 如权利要求 1 所述的结构，其特征是：该绝缘层是一个耦合在
- 20 悬浮栅极及控制栅极之间的 ONO 层。
- 5、 如权利要求 1 所述的结构，其特征是：该悬浮栅极宽度为 1.5 微米。
- 6、 如权利要求 1 所述的结构，其特征是：该通道窗口用相移掩模版实现。
- 25 7、 如权利要求 1 所述的结构，其特征是：该带状结构跨过复数个单元，其中的每个单元被一个场氧化区域所隔离。
- 8、 如权利要求 1 所述的结构，其特征是：该衬底是一个半导体晶圆。
- 9、 如权利要求 1 所述的结构，其特征是：该选择栅极、该悬浮栅

极及该控制栅极位于一个单元区域内，而该单元区域位于一个隔离区域内。

- 5 10、如权利要求 1 所述的结构，其特征是：该带状结构从该第一单元区域进入排号为第二到第 N 个的其他单元区域，其中 N 是大于 2 的整数。
- 11、一种制作 EEPROM 集成电路结构的方法，包括：
提供一个包括有一表面区域的衬底，该表面区域位于一个第一形成一个具有第一厚度的栅极介电层，覆盖于该衬底区域的表面上；
10 图案化该栅极介电层以形成复数个带状结构，每个该带状结构具有小于该第一厚度的第二厚度，每个该带状结构具有预定的长度和宽度，至少有其中一个带状结构包括一个横跨第一单元及其它单元的一部分的带状区域；
形成一个悬浮栅极，覆盖于该栅极介电层的一部分之上，该栅极介电层的该部分栅极介电层及带状结构区部分横越栅极介电层的其它部分；
15 形成一个绝缘层，覆盖于该悬浮栅极之上；
形成一个控制栅极，覆盖于位于该绝缘层之上的该悬浮栅极之上，并与该悬浮栅极耦合；以及
其中该带状区域横跨包括存储器通道窗口在内的该第一单元区域。
- 20 12、如权利要求 11 所述的方法，其特征是：该栅极介电层包括二氧化硅。
- 13、如权利要求 11 所述的方法，其特征是：该通道窗口的宽度小于 0.25 微米。
- 14、如权利要求 11 所述的方法，其特征是：该绝缘层是一个耦合于
25 该悬浮栅极及该控制栅极之间的 ONO 层。
- 15、如权利要求 11 所述的方法，其特征是：该悬浮栅极的宽度是 1.5 微米。
- 16、如权利要求 11 所述的方法，其特征是：该通道窗口通过相移掩模版实现。



- 17、如权利要求 11 所述的方法，其特征是：该带状结构跨过复数个单元，其中的每个单元被一个场氧化区域所隔离。
- 18、如权利要求 11 所述的方法，其特征是：该衬底是一个半导体晶圆。
- 19、如权利要求 11 所述的方法，其特征是：该选择栅极和该悬浮栅极位于一个单元区域内，而该单元区域位于一个隔离区域内。
- 20、如权利要求 11 所述的方法，其特征是：该带状结构从该第一单元区域进入排号为第二到第 N 个的其他单元区域，其中 N 是大于 2 的整数。

半导体集成电路隧道氧化窗口区域设计的结构及方法

5 技术领域

本发明涉及半导体器件生产中的集成电路及其制造方法。具体地说，本发明提供了一种应用 FLOTOX 技术，在 EEPROM 器件的通道介电层中制作一个窗口结构的方法和装置，但应认识到的是本发明还可有更为广泛的用途。

10

背景技术

在产业上已有多种存储器被应用或提出，可擦除只读存储器（EPROM）就是一个例子，EPROM 既可读也可擦除，即可被编程。特别是，一个 EPROM 采用了悬浮栅极场效应管，它具有二进制状态，即悬浮栅极的电荷是否存在代表了二进制的状态。即使一般的高电压信号加在 EPROM 的栅极上时，悬浮栅极上的电荷也足以防止导通。

EPROM 有许多规格种类可选择。传统的且最基本的形式是，EPROM 用电子编程并用紫外线照射进行擦除，这些 EPROM 通常被认为是可紫外线擦除的可编程只读存储器（UVEEPROM）。对 UVEEPROM 的编程是通过在该 UVEEPROM 的源极和漏极之间施加一个高电流而在栅极上施加一个正电势来实现的。加在栅极上的正电势将从漏极到源极的电流中吸收高能量的（即热的）电子，其中这些电子跃入或射入悬浮栅极中并被限制在悬浮栅极中。

另一种形式的 EPROM 是电可擦除可编程只读存储器（EEPROM 或 E^2 PROM），EEPROM 通常是通过一种被称作 Fowler Nordheim 隧道现象的方法而进行电擦除及编程的。还有另一种 EPROM 的形成是“闪 EPROM”，“闪 EPROM”用热电子法进行编程并用 Fowler Nordheim 隧道现象的进行擦除。“闪 EPROM”能通过一次“闪”或整块模式被擦除，其中采用 Fowler Nordheim 隧道现象将一个存储阵列中的一部分或全

部单元同时擦除，这样的闪 EPROM 通常被称作“闪存单元”或“闪存器件”。

闪存单元的制程技术的限制在于要进一步减少尺寸及增加器件密度，这种限制的一个例子是：这样的存储单元通常包括有特定尺寸的通道氧化物窗口，这个窗口使用了基于 EEPROM 技术的传统 FLOTOX。也就是说
5 通道氧化物窗口经常无法被减少到 0.4 微米以下，这样就限制了器件密度的进一步增加，这些或其它的一些限制将会在此后详述。

从上述可见，易于制造，便宜且高密集度的存储单元结构是非常需要的。

10

发明内容

本发明提供了一种半导体器件生产中的集成电路的制造方法，更具体地说，本发明提供了一种应用 FLOTOX 技术，在 EEPROM 器件的通道介电层中制作一个窗口结构的方法和装置，但应认识到的是本发明还可有更为广泛的用途。
15

在一个具体实施例中，本发明提供了一种制作 EEPROM 集成电路结构的方法。本发明方法包括提供一个衬底，上面有第一个单元的表面区域，在这个衬底的表面覆盖第一厚度的栅极介电层。本发明方法包括图案化栅极电介质以形成多个带状结构状区域，每个带状结构状是以其不同于
20 第一厚度的第二厚度为特征的，第二厚度小于第一厚度。每个这样用相移掩模版形成的条状区域有预设的长与宽。其中至少有一个带状结构的其一部分将横穿第一个单元区域及另外器件的单元区域。本发明方法也包括覆盖在栅极介电层的某部分上一个悬浮栅极，悬浮栅极上形成一个绝缘层并在此绝缘层上形成一个控制栅极，并与悬浮栅极耦合，带状结构状区域横
25 穿第一单元包含存储器件的通道窗口的区域。

另一个例子，发明提供了一个 EEPROM 集成电路结构。此结构包括衬底及其表面区域，这个表面区域是在第一单元区内。这个结构也包括一个第一厚度的栅极介电层长在衬底区域的表面，一个选择栅极覆盖在栅极介电层的第一区域，一个悬浮栅极则长在介电层的第二个区域并与选择栅

极相耦合。一个绝缘层覆盖在悬浮栅极上，一个控制栅极覆盖在绝缘层上并与悬浮栅极相耦合。在栅极介电层中形成一个带状结构状结构的通道窗口。栅极介电层的这部分区域是以其小于第一厚度的第二厚度为特征的。

5 与传统技术相比，本发明有许多优势。例如：本发明简化了传统技术。在一些实施例中，本发明方法提高了器件的产率（每片晶圆生产的芯片数量）并提高了器件的密度；另外，本发明方法提供了与传统制程技术兼容的，且不需对传统技术中设备及制程作大的改动的一种新制程。更佳的是，本发明提供了一个改进的通道氧化物窗口，提高了器件密度。根据
10 实施例可看到一种或多种有益效果，在本说明书的下文中对这些及其他优点将有更多的陈述。

由本发明而导致的更多的应用、结构特征和优越性可在以下的文字及示意图描述中得以体现。

附图说明

15 图 1 至 图 3 示意了一种在传统 EEPROM 器件中形成通道氧化窗口的方法；

图 4 至 图 8 示意了按照本发明一个实施例制作 EEPROM 的方法。

具体实施方式

20 本发明提供了一种半导体器件生产中的集成电路的制造方法，更具体地说，本发明提供了一种应用 FLOTOX 技术，在 EEPROM 器件的通道介电层中制作一个窗口结构的方法和装置，但应认识到的是本发明还可有更为广泛的用途。

图 1 至 图 3 示意了一种在传统 EEPROM 器件中形成通道氧化窗口的方法；
25 如图所示，传统方法首先提供一个衬底 100，其上包括衬底表面区域 101，该表面区域位于两隔离区 103 之间，隔离区通常是用局域氧化来实现，通常称之为 LOCOS。该方法然后在表面区域上面覆盖一层介电层 201，该介电层通常被图案化以形成通道窗口 205，该通道窗口是一个比周围介电层薄的表面区域。一个栅电极层 207 通常覆盖在该介电层上，优选

的是该栅电极是 EEPROM 中的悬浮栅极。参照图 3，通道窗口 205 是正方形，通常是用掩膜版及蚀刻技术来制成的。图中还可见选择栅极 303 和源极线 301，悬浮栅极 207 覆盖在介电层上，而介电层覆盖在衬底表面上。同时图中还显示了场隔离氧化层 103。传统 EEPROM 存在某些局限，通道窗口的宽度 L' 和长度 L 只能做到一定尺寸，也就是说传统的通道窗口是 0.45 微米到大约 0.8 微米，但用传统的掩模板和蚀刻方法不能再小。传统 EEPROM 器件的这些或其它的局限以及关于克服这种传统 EEPROM 器件的局限的细节将在后续章节详述。

以下为根据本发明一个实施例制造 EEPROM 器件的方法：

- 10 1、 提供一个包括一个表面区域的衬底；
- 2、 形成一个具有第一厚度、并覆盖在该衬底的该表面区域上的栅极介电层；
- 3、 使用相移掩模图案化该栅极介电层以形成复数条带状结构，每条带状结构的特征是具有小于第一厚度的第二厚度；
- 15 4、 形成一个悬浮栅极，覆盖该栅极介电层的一部分，包括上述至少一条带状结构的一部分；
- 5、 在悬浮栅极上形成一个绝缘层；
- 6、 形成一个控制栅极，覆盖在位于该悬浮栅极之上的绝缘层上，并与该悬浮栅极耦合；
- 20 7、 根据需要进行一些其他步骤。

25 以上的步骤顺序是本发明的一个实施例。如图所示，本发明方法所采用的步骤组合包括制作一个 EEPROM 器件中的通道介电层窗口。还可有其他替换方式增加步骤或取消其中的一个或多个步骤、或其中的一个或多个步骤的顺序不同，均不脱离本发明的权利要求范围，细节在以下有详述。

图 4 至图 8 示意了按本发明一个实施例来制造 EEPROM 的方法。这些图示仅仅是示例，而不应认为是对本发明所触及的范围的限制。本领域

的技术人员应认识到许多变化、替换或修改。在一个具体实施例中，本发明提供了一种制作 EEPROM 集成电路结构的方法。如图所示，本发明方法首先提供一个衬底 400 包含一个表面区域 401，它们位于第一单元区域内。还包括从第 2 到第 N 个的其他单元区域（图中未示）。衬底用适合的
5 材料，例如硅，在绝缘层上的硅，或外延生长的晶圆。该表面区域位于场隔离氧化区 403 之间。该场隔离氧化区可通过任何现有技术实现，如局部氧化法（通常称为 LOCOS），或浅沟槽隔离法（通常称 STI），其他一些隔离技术也可使用。

本发明方法也包括形成具有一个第一厚度的栅极介电层覆盖于衬底的
10 表面区域之上。该栅极介电层通常是优质的热氧化物，氮氧化硅或氮化硅，依不同的应用而定。方法还包括图形化该栅极介电层以形成复数个带状结构。每个带状结构的特征是具有一个小于第一厚度的第二厚度，每个带状结构用相移掩模版形成其预定长度和宽度。优选的是，该预定宽度小于 0.25 微米，使得单元尺寸更小。至少有一个带状结构 407 包括一个横穿
15 第一单元和其它单元的一部分区域的带状部分，其它单元的这些区域也可能有其他器件。参照图 6（图中的剖面 AA'在图 5 上），是图 5 的俯视图。本器件有一个选择栅极 601，在单元的边上。图中还示出了场隔离氧化区 403，以及带状结构的一部分 407。带状结构部分横穿该单元以及相邻的其他单元。如图示，该方法也包括在栅极介电层的一部分上面形成一个悬浮栅极 405。如图示，栅极介电层部分包括一个横穿栅极介电层的带状结构区。
20

现在请参照图 7，是图 6 的一个更详尽的示意图，可看到复数个单元 701。为便于示意，其中相同部件的参考标号与其他图中相同，这些标号不应以任何方式限制本发明。如图示每个单元包括一个 EEPROM 器件。
25 每个器件有一个选择栅极 601，位于该单元和其他单元的边上，403 是场隔离氧化区。407 是带状结构的部分，该带状结构部分穿过该单元以及其他相邻的单元。如图示，一个悬浮栅极 405 覆盖于该栅极介电层的一部分上。如图示，每个单元有一个悬浮栅极。

参照图 8（为图 06 中 BB'横截面示意图），本方法包括在悬浮栅极

405 上覆盖绝缘层 801，在绝缘层上覆盖形成控制栅极 803。优选的是，该绝缘层是两个氧化层中夹氮化层的结构（通常称为 ONO），如图示，控制栅极覆盖在绝缘层上，并与悬浮栅极相耦合，如图示，该器件也包括带状区域 407，优选的是，该带状结构区横穿包括存储器件的通道窗口在内的第一单元的部分区域，该通道窗口具有一个第二个预定厚度，在某些实施例中为 40 埃到 80 埃。其他预设的厚度也可使用。该器件另包括一个扩散区域 807，它将选择栅极与悬浮栅极相耦合。该器件还包括源极区 805 及漏极区 809。这个图只作示意图，不应对权利要求范围有所限制。

以上所举例仅为说明本发明的内容，在本发明的精神及范围内，使用者可视应用而对以上案例进行改进和修正。

说明书附图

03NI0550

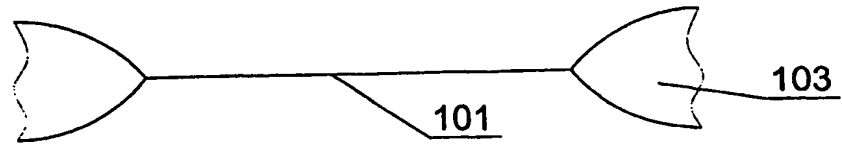


图1

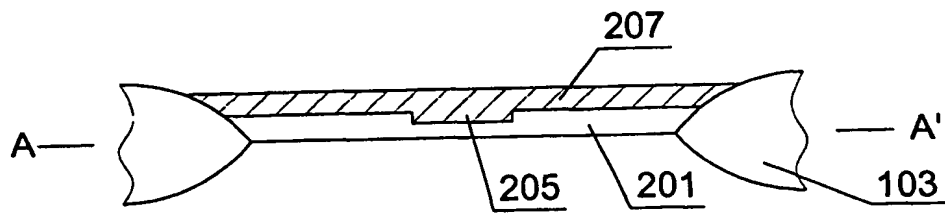


图2

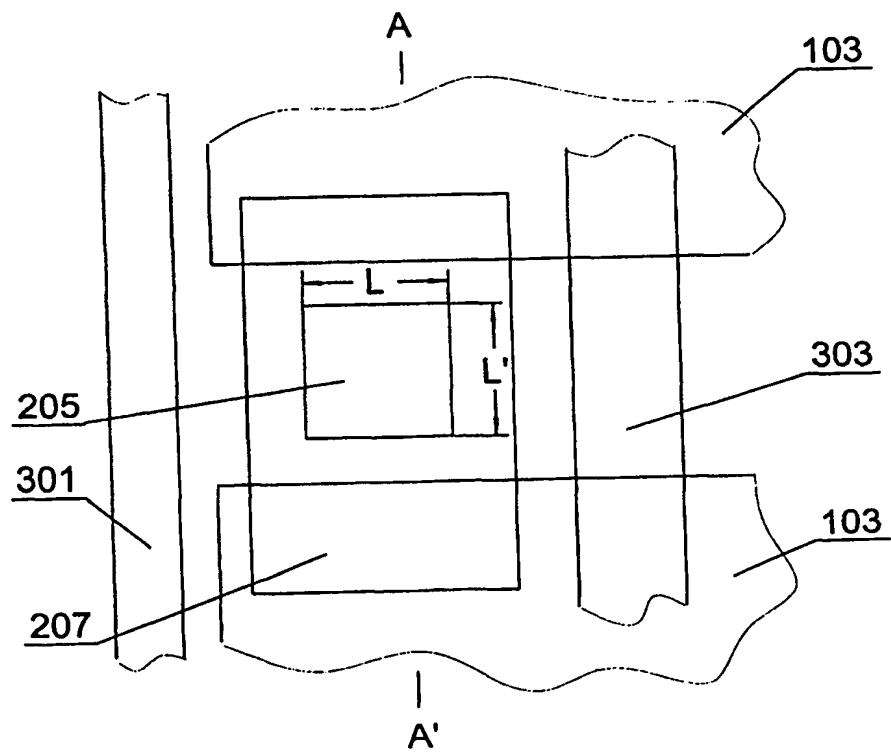


图3

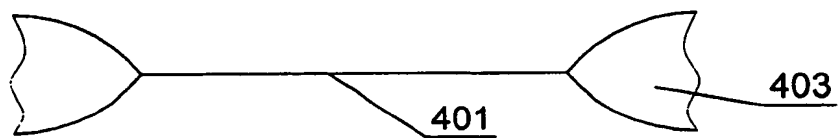


图4 400

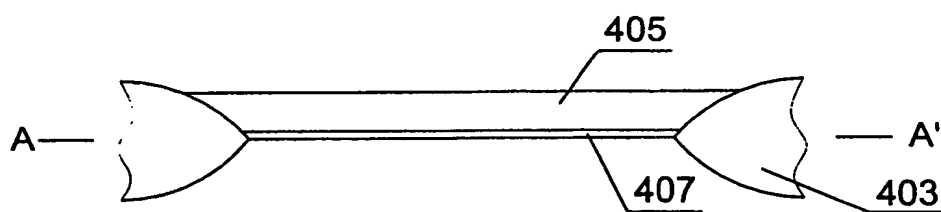


图5

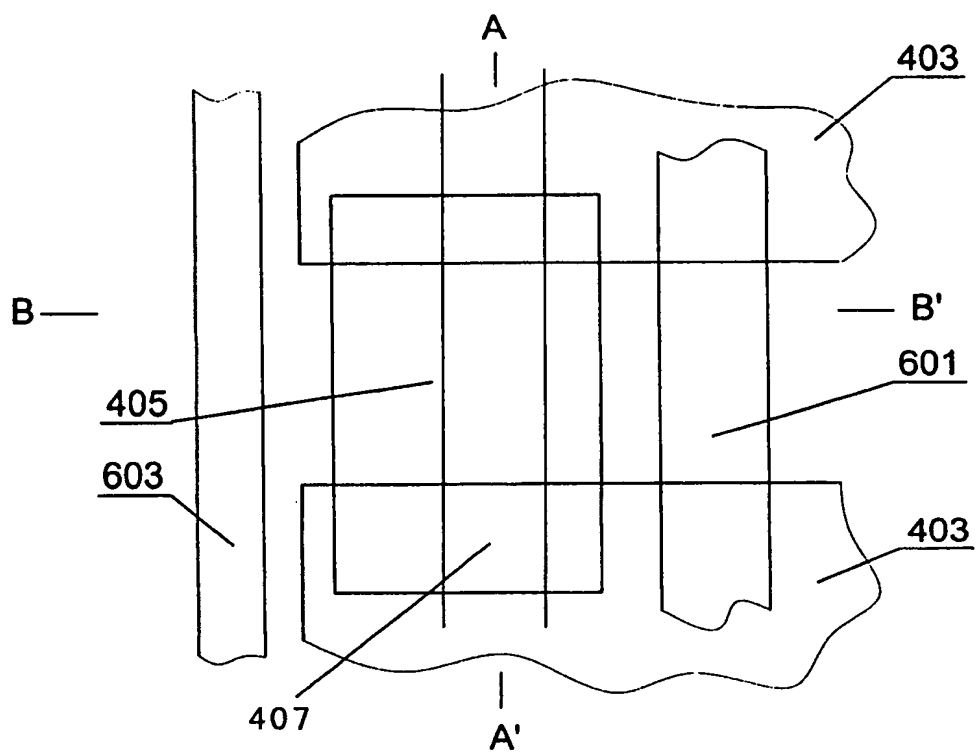


图6

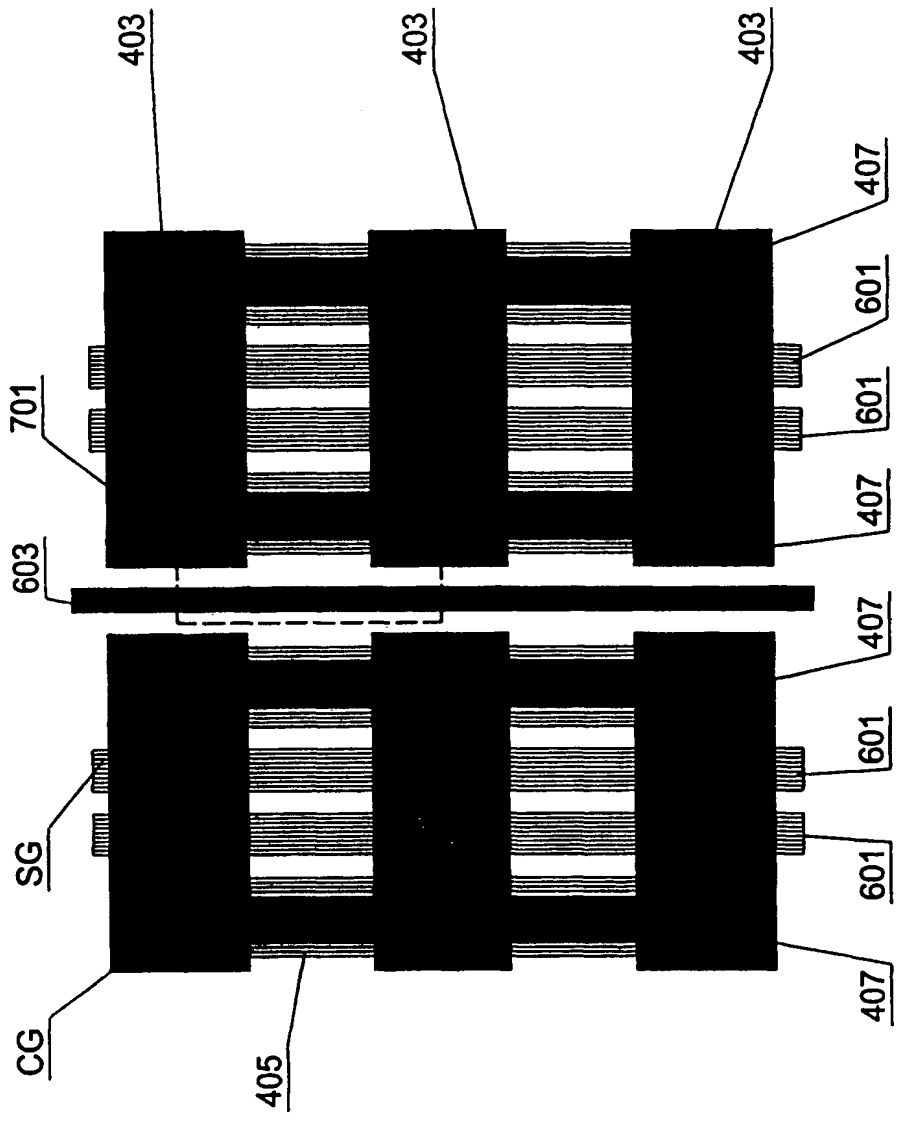


图7

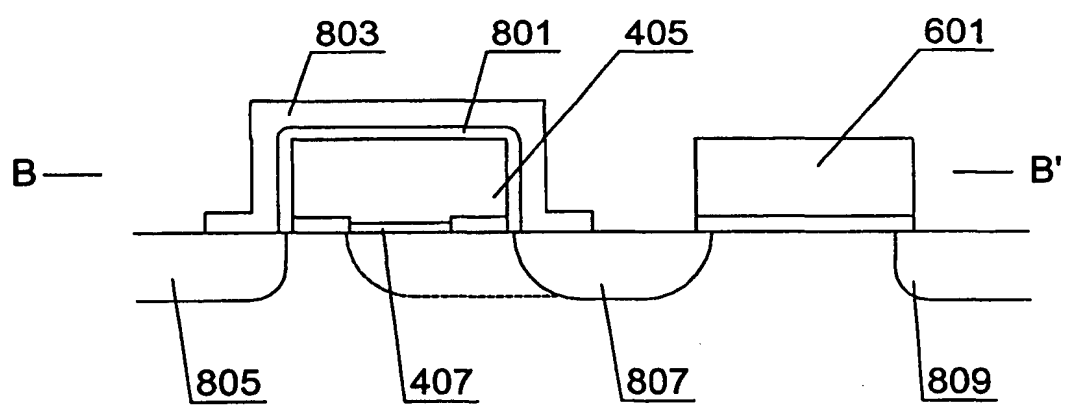


图8